

**SEMICONDUCTOR CIRCUIT**

Patent Number: JP8046500  
Publication date: 1996-02-16  
Inventor(s): TAKAISHI TORU; others: 01  
Applicant(s): FUJITSU LTD  
Requested Patent: ☐ JP8046500  
Application Number: JP19940176715 19940728  
Priority Number(s):  
IPC Classification: H03K17/16; H03K5/02; H03K19/003  
EC Classification:  
Equivalents: KR178834

---

**Abstract**

---

**PURPOSE:**To prolong the time required to rise and fall the output waveform and to prevent malfunction due to the change of the waveform of an output voltage signal by changing a control voltage waveform which drives the transistor in an output means by the time function.

**CONSTITUTION:**The control voltage waveform in a control voltage waveform control means 10 is changed by the time function. For example, the time change rate of a control voltage waveform N2 is changed according to the time change in response to the change of the signal inputted to an input means 2. That is, the internal control output voltage waveform to be outputted from the output circuit is suppressed during the time when the output waveform to be outputted from the output transistor being the output means is changed. The internal control output voltage waveform is changed rapidly in the other time. Thus, the deterioration of the operation speed can be reduced as much as possible and the fluctuation due to the noise or by reflection on the output signal can be suppressed as much as possible.

---

Data supplied from the esp@cenet database - I2



(11)特許出願公開番号

特開平8-46500

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/16	H	9184-5K		
5/02	Z			
19/003	Z			

審査請求 未請求 請求項の数8 OL (全 16 頁)

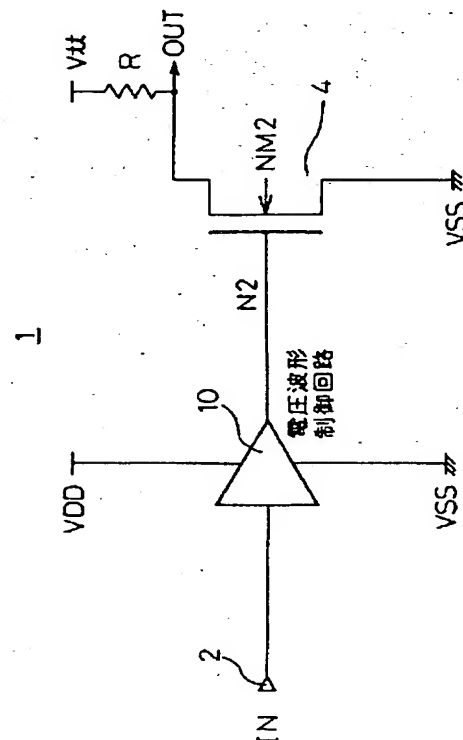
(21)出願番号	特願平6-176715	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成6年(1994)7月28日	(72)発明者	高石 徹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72)発明者	谷澤 哲 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 石田 敬 (外3名)

(54) 【発明の名称】 半導体回路

(57) 【要約】 (修正有)

【目的】 半導体回路に於ける出力回路の動作速度を低下させることなく、出力波形の立ち上がり、或いは立ち下がり時間を大きくして出力変化時のリングング或いはノイズ、更には反射等により出力電圧信号の波形が変化して、誤動作が発生する事を有効に防止出来る半導体回路の出力回路を提供する。

【構成】 入力手段２、トランジスタNM２からなる出力手段４、該入力手段２と該出力手段４との間に配置され、該入力手段２に入力される信号の変化に応答して、該出力手段４に於けるトランジスタを駆動させる制御電圧波形を出力すると共に、当該制御電圧波形を時間の関数で変化させる様に構成された制御電圧波形制御手段１０とで構成されている。



## 【特許請求の範囲】

【請求項1】 入力手段、トランジスタからなる出力手段、該入力手段と該出力手段との間に配置され、該入力手段に入力される信号の変化にตอบสนองして、該出力手段に於けるトランジスタを駆動させる制御電圧波形を出力すると共に、当該制御電圧波形を時間の関数で変化させる様に構成された制御電圧波形制御手段、とで構成されている事を特徴とする半導体回路。

【請求項2】 当該制御電圧波形制御手段は、該入力手段に入力される信号の変化にตอบสนองして、該制御電圧波形を、時間の経過に従って、当該制御電圧波形の時間変化率が変化する様に変化させる事を特徴とする請求項1記載の半導体回路。

【請求項3】 当該制御電圧波形制御手段は、該入力手段に入力される信号の変化にตอบสนองして、該制御電圧波形が、出力手段に於けるトランジスタのしきい値電圧に到達してから、該出力トランジスタの出力電圧波形が変化した終わる迄の期間（第2の期間）においては、その期間中の該制御電圧波形の該時間変化率を、それ以前の期間（第1の期間）とそれ以後の期間（第3の期間）に於ける当該制御電圧波形の時間変化率よりも相対的に小さく設定する事を特徴とする請求項2記載の半導体回路。

【請求項4】 該制御電圧波形制御手段10は、該入力手段に入力される信号が、“H”レベルから“L”レベルに変化する際に、当該制御電圧波形の時間変化率を変化させる第1の制御回路14と、該入力手段に入力される信号が、“L”レベルから“H”レベルに変化する際に、当該制御電圧波形の時間変化率を変化させる第2の制御回路15とから構成されている事を特徴とする請求項1乃至3の何れかに記載の半導体回路。

【請求項5】 該第1の制御回路14は、その入力が該入力端子部INに接続され、その出力が第1の端子NO1に接続された第1のインバータINV1、ゲートが前記第1の端子NO1に接続され、第1ソース/ドレイン(1)を第2の端子NO2に接続すると共に、第2ソース/ドレイン(2)を第3の端子NO3に接続した第1NチャネルトランジスタNM01、ゲートが前記第3の端子NO3に接続され、第1ソース/ドレイン(3)を接地とすると共に、第2ソース/ドレイン(4)を第2の端子NO2に接続した第1NチャネルトランジスタNM02、ゲートが高電圧源VDD1に接続され、第1ソース/ドレイン(5)を接地とすると共に、第2ソース/ドレイン(6)を第2の端子NO2に接続した第3NチャネルトランジスタNM03、その第1の入力(7)を前記入力端子部INに接続すると共に、その第2の入力(8)を、前記第3の端子NO3に接続させ、かつその出力(9)を第4の端子NO4に接続させた2入力NORゲート回路NOR、ゲートが前記第4の端子NO4に接続され、第1ソース/ドレイン(10)を接地とすると共に、第2ソース/ドレイン(11)を第3の端子NO3に接続した第4Nチャ

ネルトランジスタNM04、とから構成されている事を特徴とする請求項4に記載の半導体回路。

【請求項6】 当該第3のNチャネルトランジスタNM03は、複数のNチャネルトランジスタNM031～NM03nが、直列に接続された構成を有している事を特徴とする請求項5記載の半導体回路。

【請求項7】 該第2の制御回路15は、ゲートが前記第1の端子NO1に接続され、第1ソース/ドレイン(12)を第5の端子NO5に接続すると共に、第2ソース/ドレイン(13)を第3の端子NO3に接続した第1PチャネルトランジスタPM01、ゲートが第6の端子NO6に接続され、第1ソース/ドレイン(14)を高電圧源VDD2に接続させると共に、第2ソース/ドレイン(15)を第5の端子NO5に接続した第2PチャネルトランジスタPM02、ゲートが第7の端子NO7と接続され、第1ソース/ドレイン(16)を高電圧源VDD3に接続させると共に、第2ソース/ドレイン(17)を第5の端子NO5に接続した第3PチャネルトランジスタPM03、その第1の入力(18)を前記入力端子部INに接続すると共に、その第2の入力(19)を、前記第3の端子NO3に接続させ、かつその出力(20)を第8の端子NO8に接続させた2入力NANDゲート回路NAND、ゲートが前記第8の端子NO8に接続され、第1ソース/ドレイン(21)を高電圧源VDD4に接続させると共に、第2ソース/ドレイン(22)を第3の端子NO3に接続した第4PチャネルトランジスタPM04、及び前記第1の端子NO1に入力が接続されると共に、前記第6の端子NO6に接続される第1の出力(23)と前記第7の端子NO7に接続される第2の出力(24)を有し、且つ該第1の出力(23)の出力電位は、該第2の出力(24)の出力電位より高く設定されている中間電位発生手段6、とから構成されている事を特徴とする請求項4記載の半導体回路。

【請求項8】 該中間電位発生手段6は、その入力(25)が、前記第1の端子NO1に接続されると共に、その出力(40)が第9の端子NO9に接続されたインバータINV2、そのゲートが、前記第1の端子NO1に接続されると共に、第1ソース/ドレイン(26)を接地とすると共に、第2ソース/ドレイン(27)を第6の端子NO6に接続した第5NチャネルトランジスタNM052、ゲートが第6の端子NO6に接続され、第1ソース/ドレイン(28)が第9の端子NO9と接続すると共に、第2ソース/ドレイン(29)を第6の端子NO6に接続した第5PチャネルトランジスタPM052、ゲートが前記第1の端子NO2に接続され、第1ソース/ドレイン(30)を接地とすると共に、第2ソース/ドレイン(31)を第7の端子NO7に接続した第6NチャネルトランジスタNM051、及びゲートが前記第7の端子NO7に接続され、第1ソース/ドレイン(32)を第6の端子NO6に接続させると共に、第2ソース/ドレイン(33)を第7の端子NO7に接続した第6PチャネルトランジスタPM05

3

1、とから構成されている事を特徴とする請求項7記載の半導体回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体回路に関するものであり、更に詳しくは、半導体集積回路に於ける小振幅インターフェイス出力回路の構成に関するものである。

【0002】

【従来の技術】従来、半導体集積回路を中心とする半導体回路に於いて、信号の入出力時、或いはデータの送受信中に発生するノイズ或いは反射により、入力された情報やデータが変化する場合があり、係る問題を回避する為、例えば出力トランジスタのゲート入力波形を一樣に鈍らせる事により出力波形も鈍らせて、上記ノイズ或いは反射により生ずる信号波形の乱れを減少させる工夫が成されて来ている。

【0003】図4は、従来から一般的に使用されている出力回路の構成の一例を示すブロックダイアグラムであり、入力手段1、2段のインバータからなる駆動手段3及び出力手段4とから構成されている。又、図5は、上記出力回路に於いて、入力手段へ入力信号INが、入力された場合、第1段のインバータINV1の出力N1と第2段のインバータINV2の出力N2及び出力手段4に於ける出力端子のそれぞれに於ける出力波形の概略を示すグラフであり、図5(A)は、入力手段への入力信号が、“L”レベルから“H”レベルに変化した場合の例を示し、又図5(B)は、入力手段への入力信号が、“H”レベルから“L”レベルに変化した場合の例をそれぞれ示すものである。

【0004】即ち、従来に於いては、上記した問題を回避する為に、特に短い時間で変化する小振幅の出力波形を鈍らせる為に振幅の大きな内部波形を一樣に鈍らせる方法が採用されている。つまり、図5(A)に示す様に、入力手段への入力信号が、“L”レベルから“H”レベルに変化した場合に於ける、出力電圧を鈍らせる為には、例えば図4の第2のインバータINV2を構成するP-チャンネル形トランジスタPM2とN-チャンネル形トランジスタNM2のトランジスタサイズを変更して、当該INV2の出力N2をO1からO2に変化させる事になる。

【0005】然しながら、係るINV2の出力N2をO1からO2に一樣に変化させた場合では、出力手段4を構成するN-チャンネル形トランジスタNM3のゲート電圧が、該トランジスタNM3のしきい値電圧に到達するまでは、出力電圧の変化はなく、その間のゲート電圧の波形の鈍りは、単に出力の遅れとなるだけで、出力電圧の変化率の減少には余り効果のない。

【0006】又、出力電圧が変化し終わった後のゲート電圧の鈍りも当該出力電圧波形の鈍りには無関係である。係る状態は、図5(B)に示す様に、入力手段への

4

入力信号が、“H”レベルから“L”レベルに変化した場合の例に於いても同様の事が言える。つまり、従来の方法に於いては、ゲート電圧を単に、一樣に鈍らせたとしても、全体の遅延時間が大きくなるだけで、出力電圧の鈍りへの影響は小さく、更に、大きく鈍った上記ゲート電圧を、完全に立ち上げ、立ち下げる必要があるので、動作周波数を高く設定出来ないと言う欠点があった。

【0007】図6は、上記従来の半導体回路に於いて使用される出力回路を用いて、データ信号を送信した場合に、ノイズ或いは反射の影響による信号の乱れが、どの様に発生し、変化するかを検証する為のシミュレーション回路の構成例を示すものである。図6に於けるシミュレーション回路は、入力手段2、2段のインバータ回路からなる駆動手段3、該駆動手段3の出力波形を一樣に鈍らせるバッファ手段5及び出力手段4とから構成される従来の出力回路1を内蔵する送信側の出力回路チップ61に、パッケージ63(Z=50.4、遅延時間=355.5psec)を介して同軸ケーブル64(Z=50.4、遅延時間=約11nsec)を接続させると共に、適宜の構成からなる受信手段62に上記と同様のパッケージ65(Z=50.4、遅延時間=355.5psec)を介して接続させた構成を有している。

【0008】係る構成からなる、シミュレーション回路を用いて、従来の方法に従って、ゲート電圧を入力信号電圧に対して鈍らせて出力させた場合に、出力された信号が如何に変化するかを検証してみた。尚、上記シミュレーションに於いて、プロセス条件が最良の条件として、温度が-40℃、で電源電圧が3.6Vを採用し、又プロセス条件が最悪の条件として、温度が125℃、で電源電圧が3.0Vを採用した。

【0009】その結果を図7～図12に示す。即ち、図7～図10は、上記シミュレーション装置を用いて、低周波入力信号を入力した場合の出力及び伝送波形を示すものであり、図7は、上記したプロセス条件が最良条件での出力の立ち下がり、図8は上記したプロセス条件が最良条件での出力の立ち上がり、図9は、上記したプロセス条件が最悪条件での出力の立ち下がり、図10は上記したプロセス条件が最悪条件での出力の立ち上がりをそれぞれ示すものである。

【0010】又図11～図12は、同装置に120MHzの高周波入力信号を入力した場合の出力及び伝送波形を示すものである。図7(A)は、入力信号が、“H”レベルから“L”レベルに変化した場合の該駆動手段3の出力(INV2-OUT)に現れる出力電圧信号S1と該バッファ手段5の出力(OBI-OUT)の出力電圧信号S2を示し、図7(B)は、図6に於ける、パッケージ63と同軸ケーブル64との間(PINO)の電圧波形S3を示すものであり、又図7(C)は、図6に於ける、パッケージ65と受信側の受信手段62との間

5

(PAD 1) の電圧波形 S 4 を示すものである。

【0011】上記の図 7 (A) ~ 図 7 (C) より明らかな様に、バッファ 5 から出力される出力信号波形 S 2 は、駆動手段 3 の出力波形 S 1 より所定の遅延時間を以て出力されているが、同軸ケーブル 6 4 直前の位置 (P I N O) に於ける電圧波形 S 3 には、ノイズ或いはオーバーシュート、リングング等によるフラクチュエーション F 1 が発生している。

【0012】又、受信部側の入力部に於ける電圧波形 S 4 には、上記したフラクチュエーション F 1 が伝搬されて、増幅されたフラクチュエーション F 2 が発生する。係るフラクチュエーション F 2 は、受信側のインピーダンスミスマッチ及びパッケージ 6 5 のリングング等により反射が起こり、その影響が、電圧波形 S 3 にフラクチュエーション F 3 として表れ、更にその影響が、電圧波形 S 4 にフラクチュエーション F 4 として表れ、その影響が又電圧波形 S 3 にフラクチュエーション F 5 として表われる事が判る。

【0013】図 8 (A) ~ 図 8 (C) は、入力信号が、“L” レベルから “H” レベル変化した場合の例を、図 7 (A) ~ 図 7 (C) と同様のシミュレーションを行って、それぞれ同様の電圧波形を測定したものである。上記の図 8 (A) ~ 図 8 (C) より明らかな様に、入力信号が “L” レベルから “H” レベル変化した場合でも、図 7 の場合と同様に、ノイズ或いは反射の影響が表れる事が判る。

【0014】又、図 9 (A) ~ 図 9 (C) 及び図 10 (A) ~ 図 10 (C) は、上記と同様のシミュレーションを、上記出力電圧波形 S 1 と S 2 との遅延時間を、上記のシミュレーションで使用した遅延時間よりも長く設定した、条件としては比較的悪い条件が設定されている場合に付いて、入力信号が、“L” レベルから “H” レベルに変化する場合と、“H” レベルから “L” レベルに変化する場合とに別けてそれぞれ測定した結果を示すものである。

【0015】更に、図 11 及び図 12 は、上記したシミュレーション装置に於いて、前記した出力回路を用いて、周波数 120 MHz の高周波入力信号を用いて同様のシミュレーションを実行した結果を示すものである。図 11 は、出力波形 S 1 と S 2 との遅延が少ない場合の例であり、図 12 は、出力波形 S 1 と S 2 との遅延が大きく、条件が悪い場合の例を示す。

【0016】図 11 及び図 12 から明らかな様に、何れの場合にも、高周波信号を取り扱う場合には、出力電圧信号 S 3 と S 4 に大きなフラクチュエーション (F 1 ~ F 5) が発生し、しかもそのフラクチュエーション (F 1 ~ F 5) は順次増幅される事が判る。つまり、上記シミュレーションより明らかな通り、従来に於いては、遅延時間を長くにとって、出力手段の制御入力電圧を鈍らせたとしても、結果的には、出力電圧信号に発生するノイ

6

ズ或いは反射の影響を取り除く事が出来ない事が理解される。

【0017】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、半導体回路に於ける出力回路の動作速度を低下させることなく、出力波形の立ち上がり、或いは立ち下がり時間を大きくして出力変化時のリングング或いはノイズ、更には反射等により出力電圧信号の波形が変化して、誤動作が発生する事を有効に防止出来る半導体回路の出力回路を提供するものである。

【0018】

【課題を解決するための手段】本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、入力手段、トランジスタからなる出力手段、該入力手段と該出力手段との間に配置され、該入力手段に入力される信号の変化にตอบสนองして、該出力手段に於けるトランジスタを駆動させる制御電圧波形を出力すると共に、当該制御電圧波形を時間の関数で変化させる様に構成された制御電圧波形制御手段、とで構成されている出力回路を持つ半導体回路である。

【0019】

【作用】本発明に係る半導体回路は、上記した様な出力回路を有しているので、当該出力回路の作動時間に於ける、出力手段のゲート電圧が、出力トランジスタのしきい値電圧付近から、出力信号の出力電圧波形が実質的に変化し終わる迄の間の時間だけ、内部出力波形 S 2 を鈍らせるものである。

【0020】つまり、本発明に於いては、上記した様に、出力手段の出力トランジスタから出力される出力電圧波形が、実質的に変化する期間には、その必要な時間の間出力回路から出力される内部制御出力電圧波形 S 2 を鈍らせておき、その他の時間に於いては、内部制御出力電圧波形 S 2 を早く変化する事により、動作速度の低下を必要最小限に抑え且つ出力信号に表れるノイズ或いは反射による変動を極力抑える事が出来るのである。

【0021】

【実施例】以下に、本発明に係る半導体回路の一具体例の構成を図面を参照しながら詳細に説明する。図 1 は、本発明に係る半導体回路に使用される出力回路の基本的な構成例を示すブロックダイアグラムであり、図中、入力手段 2、トランジスタ NM 2 からなる出力手段 4、該入力手段 2 と該出力手段 4 との間に配置され、該入力手段 2 に入力される信号の変化にตอบสนองして、該出力手段 4 に於けるトランジスタを駆動させる制御電圧波形を出力すると共に、当該制御電圧波形を時間の関数で変化させる様に構成された制御電圧波形制御手段 10 とで構成されている半導体回路の出力手段が示されている。

【0022】本発明に係る当該制御電圧波形制御手段 10 に於ける制御電圧波形を時間の関数で変化させる様に

7

する為の具体例としては、例えば、該入力手段2に入力される信号の変化にตอบสนองして、該制御電圧波形を、時間の経過に従って、当該制御電圧波形の時間変化率が変化する様に变化させるものであり、当該制御電圧波形制御手段10は、上記した様な機能を有するものであれば、如何なる回路構成のものでも使用可能である。

【0023】本発明に係る上記制御電圧波形制御手段10の構成とその動作に付いて説明するならば、図1の出力回路に於いて、入力手段2に入力される入力電圧信号INが、図示の様に、高電圧電源VDDと低電圧電源VSSとの間に配置された制御電圧波形制御手段10に入力され、当該制御電圧波形制御手段10から出力される制御出力電圧波形N2が出力される。

【0024】そして、当該制御出力電圧波形N2が、出力手段4を構成するN-チャネル形トランジスタNM2のゲートに入力され、その結果、当該N-チャネル形トランジスタNM2のソースと終端電圧V<sub>tt</sub>に設定された電源に接続された抵抗Rとの接続部に設けられた出力端部から出力電圧波形OUTが出力されるものである。

【0025】かかる構成に於いて、本発明に係る制御電圧波形制御手段10は、図2(A)に示す様に、入力信号INが、“L”レベル(V<sub>ss</sub>)から“H”レベル(VDD)に変化する場合に、当該制御電圧波形制御手段10の出力電圧波形N2は、出力トランジスタNM2のしきい値電圧V<sub>th</sub>に近づく迄の間に期間a、つまり時刻t1から時刻t2の期間では、該制御出力電圧波形N2の時間変化率が大きくなる様に作動するものである。

【0026】この期間aの間は、該出力手段4の出力電圧波形OUTは、変化せずV<sub>tt</sub>の電位を維持している。次に、時刻t2から時刻t3の間の期間bに於いては、出力トランジスタNM2のしきい値V<sub>th</sub>付近から当該出力トランジスタNM2のゲートを制御する該制御出力電圧波形N2の時間変化率を小さくする様に变化させる。

【0027】この期間bの間は、該出力手段4の出力電圧波形OUTは、電位V<sub>tt</sub>から徐々に低下して期間bの終了時、つまり時刻t3に於いては、略V<sub>ss</sub>に近い電位を示す事になる。即ち、係る期間bに於いては、出力トランジスタの出力電圧波形が、実質的に変化する時期である。

【0028】その後、時刻t3から時刻t4の間の期間cに於いては、出力トランジスタNM2の出力電圧波形が、実質的に変化し終わった後、再び当該出力トランジスタNM2のゲートを制御する該制御出力電圧波形N2の時間変化率を大きくする様に变化させる。係る期間cに於いては、出力トランジスタの出力電圧波形は、略V<sub>ss</sub>に近い電位を維持して変化する事はない。

【0029】又、図2(B)には、入力信号INが、“H”レベル(VDD)から“L”レベル(V<sub>ss</sub>)に変化する場合の各波形が示されており、当該制御電圧波

8

形制御手段10の制御出力電圧波形N2、即ちゲート電圧制御波形は、図示の期間aから期間bの間は、その時間変化率が大きい状態から小の状態に連続した湾曲状に変化する様に設計されているものである。

【0030】上記期間aの間は、該出力手段4の出力電圧波形OUTは、変化せずV<sub>ss</sub>の電位を維持しているが、時刻t2以降の期間bの間は、該出力手段4の出力電圧波形OUTは、電位V<sub>ss</sub>から徐々に上昇して期間bの終了時、つまり時刻t3に於いては、略V<sub>tt</sub>に近い電位を示す事になる。即ち、係る期間bに於いては、出力トランジスタの出力電圧波形が、実質的に変化する時期である。

【0031】次いで、時刻t3と4との間の期間cに於いては、出力トランジスタNM2の出力電圧波形が、実質的に変化し終わった後であり、再び当該出力トランジスタNM2のゲートを制御する該制御出力電圧波形N2の時間変化率を大きくする様に变化させる。係る期間cに於いては、出力トランジスタの出力電圧波形は、略V<sub>tt</sub>に近い電位を維持して変化する事はない。

【0032】即ち、本発明に終える当該制御電圧波形制御手段10は、該入力手段2に入力される信号の変化にตอบสนองして、該制御電圧波形が、出力手段4に於けるトランジスタNM2のしきい値電圧V<sub>th</sub>に到達してから、該出力トランジスタNM2の出力電圧波形が変化し終わる迄の期間b(第2の期間)においては、その期間中の該制御電圧波形N2の該時間変化率を、それ以前の期間a(第1の期間)とそれ以後の期間c(第3の期間)に於ける当該制御電圧波形N2の時間変化率よりも相対的に小さく設定するものである。

【0033】次に、上記機能を実現する為に使用される、本発明の制御電圧波形制御手段10の具体例に付いてその構成例を以下に説明する。つまり、図3には、本発明に係る該制御電圧波形制御手段10の一具体例の構成を示すブロックダイアグラムであり、従来の出力回路に設けられている駆動手段3をに相当する機能を含み、更に該入力手段2に入力される信号が、“H”レベルから“L”レベルに変化する際に、当該制御電圧波形の時間変化率を変化させる第1の制御回路14と、該入力手段4に入力される信号が、“L”レベルから“H”レベルに変化する際に、当該制御電圧波形の時間変化率を変化させる第2の制御回路15とから構成されているものである。

【0034】本発明に係る該第1の制御回路14のより具体的な回路構成の例を以下に説明する。即ち、本発明に係る当該制御電圧波形制御手段10の第1の制御回路14は、その入力が該入力端子部INに接続され、その出力が第1の端子NO1に接続された第1のインバータINV1、ゲートが前記第1の端子NO1に接続され、第1ソース/ドレイン(1)を第2の端子NO2に接続すると共に、第2ソース/ドレイン(2)を第3の端子NO



9

3に接続した第1NチャネルトランジスタNM01、ゲートが前記第3の端子NO3に接続され、第1ソース/ドレイン(3)を接地とすると共に、第2ソース/ドレイン(4)を第2の端子NO2に接続した第1NチャネルトランジスタNM02、ゲートが高電圧源VDD1に接続され、第1ソース/ドレイン(5)を接地とすると共に、第2ソース/ドレイン(6)を第2の端子NO2に接続した第3NチャネルトランジスタNM03、その第1の入力(7)を前記入力端子部INに接続すると共に、その第2の入力(8)を、前記第3の端子NO3に接続させ、かつその出力(9)を第4の端子NO4に接続させた2入力NORゲート回路NOR、ゲートが前記第4の端子NO4に接続され、第1ソース/ドレイン(10)を接地とすると共に、第2ソース/ドレイン(11)を第3の端子NO3に接続した第4NチャネルトランジスタNM04、とから構成されている制御電圧波形制御手段10である。

【0035】一方、本発明に係る当該制御電圧波形制御手段10の第1の制御回路14に於ける当該第3のNチャネルトランジスタNM03は、複数個のNチャネルトランジスタNM031~NM03nが、直列に接続された構成を有しているものであっても良い。係る複数個のトランジスタを直列に接続させる事によって、当該制御電圧波形N2の時間変化率を小さく出来、又その程度をトランジスタの接続個数により調整する事が可能となる。次に、本発明に係る該第2の制御回路15のより具体的な回路構成の例を以下に説明する。

【0036】即ち、本発明に係る当該制御電圧波形制御手段10の第2の制御回路15は、そのゲートが前記第1の端子NO1に接続され、第1ソース/ドレイン(12)を第5の端子NO5に接続すると共に、第2ソース/ドレイン(13)を第3の端子NO3に接続した第1PチャネルトランジスタPM01、ゲートが第6の端子NO6に接続され、第1ソース/ドレイン(14)を高電圧源VDD2に接続させると共に、第2ソース/ドレイン(15)を第5の端子NO5に接続した第2PチャネルトランジスタPM02、ゲートが第7の端子NO7と接続され、第1ソース/ドレイン(16)を高電圧源VDD3に接続させると共に、第2ソース/ドレイン(17)を第5の端子NO5に接続した第3PチャネルトランジスタPM03、その第1の入力(18)を前記入力端子部INに接続すると共に、その第2の入力(19)を、前記第3の端子NO3に接続させ、かつその出力(20)を第8の端子NO8に接続させた2入力NANDゲート回路NAND、ゲートが前記第8の端子NO8に接続され、第1ソース/ドレイン(21)を高電圧源VDD4に接続させると共に、第2ソース/ドレイン(22)を第3の端子NO3に接続した第4PチャネルトランジスタPM04、及び前記第1の端子NO1に inputs が接続されると共に、前記第6の端子NO6に接続される第1の出力(23)と前記第7の端子NO7に接続される第2の出力(24)を有し、且つ該第1の出力(2

10

3)の出力電位は、該第2の出力(24)の出力電位より高く設定されている中間電位発生手段16、とから構成されているものである。

【0037】更に、本発明に於ける該中間電位発生手段16は、その入力(25)が、前記第1の端子NO1に接続されると共に、その出力(40)が第9の端子NO9に接続されたインバータINV2、ゲートを前記第1の端子NO1に接続されると共に、第1ソース/ドレイン(26)を接地とすると共に、第2ソース/ドレイン(27)を第6の端子NO6に接続した第5NチャネルトランジスタNM052、ゲートが第6の端子NO6に接続され、第1ソース/ドレイン(28)が第9の端子NO9と接続すると共に、第2ソース/ドレイン(29)を第6の端子NO6に接続した第5PチャネルトランジスタPM052、ゲートが前記第1の端子NO1に接続され、第1ソース/ドレイン(30)を接地とすると共に、第2ソース/ドレイン(31)を第7の端子NO7に接続した第6NチャネルトランジスタNM051、及びゲートが前記第7の端子NO7に接続され、第1ソース/ドレイン(32)を第6の端子NO6に接続させると共に、第2ソース/ドレイン(33)を第7の端子NO7に接続した第6PチャネルトランジスタPM051、とから構成されているものである。

【0038】上記した本発明に係る半導体回路に使用される該制御電圧波形制御手段10の動作を説明するならば、図2(A)に示す様に、先ず入力手段2に input される入力信号INが“L”レベルから“H”レベルに変化する場合に、インバータINV1により第1の端子NO1は“H”レベルから“L”レベルに変化し、期間

(A)に於いては、第1のN-チャネル形トランジスタNM01は、OFFとなり、NORゲート回路NORの出力端子NO4に於ける出力信号は“L”レベルとなるので、第4のN-チャネル形トランジスタNM04もOFFとなる。

【0039】初期状態では、第3の端子NO3は、“L”レベルであるので、第8の端子NO8に於けるNANDゲート回路NANDの出力は“H”レベルとなり、従って、P-チャネル形トランジスタPM04はOFFとなる。一方、第1の端子NO1が変化する迄は、N-チャネル形トランジスタNM051とNM052はONとなり、又第9の端子NO9は“L”レベルであるから第6の端子NO6と第7の端子NO7は、共にVssのレベルと保っている。

【0040】次に、第1の端子NO1が“L”レベルとなる事によって、該N-チャネル形トランジスタNM051とNM052はOFFとなり、又、第9の端子NO9は“H”レベルとなるので、第6の端子NO6と第7の端子NO7の電位は、共に上昇する。この時、ダイオードとして使用されているP-チャネル形トランジスタPM051とPM052の電圧降下によって、該第6の端子NO6と第7の端子NO7の電位は、VDDよりも



11

低くなる。

【0041】 此処で、本発明に於いては、上記した作動を実現する為に、該第6の端子NO6の出力電圧が該P-チャネル形トランジスタPM02のしきい値電圧 $V_{th1}$ 以上となる様に、又該第7の端子NO7の出力電圧は該P-チャネル形トランジスタPM03のしきい値電圧 $V_{th2}$ 以下となる様に、該P-チャネル形トランジスタPM051とPM052のサイズを調整するものである。

【0042】 係る構成を採用しているので、本発明に於いては、該P-チャネル形トランジスタPM02は、直ちにOFFとなるが、該P-チャネル形トランジスタPM03はONの状態を継続する。この時、プロセス条件や温度等の条件がよい場合には、該P-チャネル形トランジスタPM02とPM03の抵抗が高くなり、該条件が悪い場合には、該抵抗が低くなるので、プロセス条件や温度等の条件が変化しても、該制御電圧波形N2の時間変化率の差は小さくなる。

【0043】 当該入力信号が変化してから短い時間において、該P-チャネル形トランジスタPM02とPM03がONとなっているので、第3の端子の電圧は、早く立ち上がる。次に、期間(B)に於いては、前記期間に於いて、当該制御電圧波形N2が、短期間に上昇し、第6の端子NO6の電位は、該P-チャネル形トランジスタPM02のしきい値 $V_{th2}$ をこえるので、当該P-チャネル形トランジスタPM02はOFFとなり、P-チャネル形トランジスタPM03のみがONしている状態となる。

【0044】 従って、第3の端子NO3に於ける制御電圧波形N2の時間変化率は小さくなる。更に、期間

(C)に於いては、NANDゲート回路NANDNO遅延時間だけ遅れて第8の端子NO8の電位が“L”レベルとなり、当該P-チャネル形トランジスタPM04はONとなり、その結果、当該P-チャネル形トランジスタPM04によって、該第3の端子NO3の電位は、大きな時間変化率で、VDD迄上昇し、それによって、当該出力手段4に於ける出力OUTの電位は、 $V_{tt}$ から、 $V_{ss}$ に低下する事になる。

【0045】 一方、図2(B)に示す様に、入力手段2に入力される入力信号INが“H”レベルから“L”レベルに変化する場合には、インバータINV1により第1の端子NO1は“L”レベルから“H”レベルに変化し、期間(A)に於いては、該第1のP-チャネル形トランジスタPM01はOFFとなり、NANDゲート回路NANDNOの出力である第8の端子NO8が“H”レベルとなるので、P-チャネル形トランジスタPM04はOFFとなる。

【0046】 初期状態では、第3の端子NO3は、“H”レベルであるので、第9の端子NO9に於けるNORゲート回路NORの出力は“L”レベルとなり、従

12

って、N-チャネル形トランジスタNMO4はOFFとなり又、N-チャネル形トランジスタNMO2はONとなっている。つまり、係る状態に於いては、トランジスタサイズに大きいN-チャネル形トランジスタNMO1とNMO2及びトランジスタサイズの小さいN-チャネル形トランジスタNMO31~NMO34とがON状態となっているので、第3の端子NO3に出力される制御信号電圧は、大きな時間変化率をもって降下する事になる。

【0047】 次に、期間(B)に於いては、該第3の端子NO3の電位が下がって来ると、該N-チャネル形トランジスタNMO2は、徐々にOFFとなり、N-チャネル形トランジスタNMO1とNMO31~NMO34のみがON状態にある事になり、その結果、第3の端子NO3の電位の時間変化率は小さくなる。又、期間

(C)に於いては、やがて第3の端子NO3の電位が、NORゲート回路NORのしきい値電圧 $V_{th3}$ を越えて低下した場合に、入力信号の電位は“L”レベルとなっているので、第4の端子NO4に於ける出力信号の電圧は“H”レベルとなり、その為該N-チャネル形トランジスタNMO4がONとなる。

【0048】 該トランジスタNMO4がONとなる事によって、該第3の端子NO3の電位は大きな時間変化率で $V_{ss}$ 迄降下する。プロセス条件や温度等の条件のばらつきに対しては、最終段のN-チャネル形トランジスタNMO4のしきい値電圧 $V_{th4}$ の変化と平行して、N-チャネル形トランジスタNMO2のしきい値電圧 $V_{th5}$ も変化することにより、第3の端子NO3の電圧波形も変化し、結果として回路全体の遅延時間の変動は小さくなる。

【0049】 本発明に係る上記した制御電圧波形制御手段10を用いて、半導体回路に於ける出力信号の変化を、図6に示すシミュレーション装置を用い、図7~図12に示すものと同一の条件でシミュレーションを行った結果を図13~図18に示す。即ち、図13(A)~図13(C)は、上記図7(A)~図7(C)に対応したシミュレーションを行いその結果を示したものであり、又 図14(A)~図14(C)は、前記した図8(A)~図8(C)に対応したシミュレーションを行いその結果を示したものである。

【0050】 又、図15(A)~図15(C)は、上記図9(A)~図9(C)に対応したシミュレーションを行いその結果を示したものであり、又 図16(A)~図16(C)は、前記した図10(A)~図10(C)に対応したシミュレーションを行いその結果を示したものである。更に、図17(A)~図17(C)は、上記図11(A)~図11(C)に対応したシミュレーションを行いその結果を示したものであり、又 図18

(A)~図18(C)は、前記した図12(A)~図12(C)に対応したシミュレーションを行いその結果を

13

示したものである。

【0051】上記した図13～図18から理解される様に、本発明に係る制御電圧波形制御手段10を用いて構成された出力回路1を使用した場合には、出力信号変化時のリンギングやノイズ或いは反射等の原因による波形の劣化が、従来の出力回路を使用した場合に比べて大幅に低減されており、特に、高周波信号を入力した場合にも、条件の悪い環境であっても、出力信号変化時のリンギングやノイズ或いは反射等の原因による波形の劣化が、大幅に低減されており、正常に作動する事が確認された。

【0052】次に、本発明に係る制御電圧波形制御手段10を用いた出力回路と従来の出力回路に於ける動作の相違について、より具体的な構成を参照しながら、両者の比較を行った。図19は、本比較実験に使用されるオープンドレインタイプの従来の出力回路1の構成を示すブロックダイアグラムであって、基本的には、入力手段2、3、3Vの高電圧電源に接続された2段のインバータINV1、INV2からなる駆動手段3及びN-チャネル形トランジスタMOSFETトランジスタ100を含む出力手段4とから構成され、図4と略同一の構成を有する出力回路であり、該N-チャネル形トランジスタ100のソースは、500 $\Omega$ の抵抗を介して1.2Vの電源に接続されている。

【0053】尚、本比較例に於いては、前記インバータINV2を構成するP-チャネル形トランジスタWPとN-チャネル形トランジスタWNとを変化させたものを使用するものであって、従来例Aに於いては、トランジスタサイズをWP=1、WN=1/3と設定し、又従来例Bに於いては、トランジスタサイズをWP=6、WN=2と設定したものである。

【0054】一方、図20は、本発明に係る制御電圧波形制御手段10を使用した出力回路1の一例を示すものであり、入力手段2と出力手段4の構成は、図19の従来の出力回路と同一にしてある。尚、図19及び図20に於いてVCN1は、N-チャネル形トランジスタ100のゲートに入力される制御電圧信号を示し、又VCNは、当該出力手段4の出力信号を示している。

【0055】上記2種の従来の出力回路と1種の本発明に係る出力回路とに同一の入力信号波形を入力した場合に、出力回路の出力手段に於ける信号波形が如何に変化するかをシミュレーションしたものである。此处で、本比較実験に於いて、測定した信号波形の特性値は、次の通りである。即ち、(1)上記N-チャネル形トランジスタ100のゲート入力信号の立ち上がり/立ち下が時間、(2)上記N-チャネル形トランジスタ100のゲート入力信号と出力信号の伝播遅延時間、(3)上記N-チャネル形トランジスタ100のゲート入力信号の時間変化率である。

【0056】又、本比較実験に於ける各パラメータを以

14

下の様に定義する。即ち、

(a) 立ち上がり時間 (Tsup)

信号が高電圧源と接地間の電圧の5%から95%に変化するまでの時間

(b) 立ち下がり時間 (Tsdwn)

信号が高電圧源と接地間の電圧の95%から5%に変化するまでの時間

(c) 最大動作周波数 (fmax)

立ち上がり/立ち下がり時間から求まる最大動作周波数  
 $T_{smax} = \text{MAX} (T_{sup}, T_{sdwn})$  とすると、

$f_{max} = 1 / (2 \times T_{smax})$

(d) 遅延時間

出力立ち上がりのとき (Tup)

オープンドレインN-チャネルトランジスタのゲート入力信号が95%に達してから出力信号が0.8Vに達するまでの時間、

出力立ち下がりのとき (Tdown)

オープンドレインN-チャネルトランジスタのゲート入力信号が5%に達してから出力信号が0.8Vに達するまでの時間、

(e) ゲート信号時間変化率 ( $\Delta V$ )

オープンドレインN-チャネルトランジスタのゲート入力信号が1.3Vの時の傾き ( $dVg/dt$ )

上記の方法により、シミュレーションした結果、図19と図20に示されているN-チャネル形トランジスタ100のゲートに入力される制御電圧信号VCN1と出力手段4の出力信号VCXの測定結果を図21(A)及び(B)に示している。

【0057】即ち、図21(A)に於いては、従来例Aに於ける、入力手段2に入力された入力信号INが、“L”レベルから“H”レベルに変化する時の、該制御電圧信号VCN1の変化の様子を示すグラフG1と出力手段4の出力信号VCXの変化を示すグラフG2が示されていると共に、従来例Bに於ける、該制御電圧信号VCN1の変化を示すグラフG3と出力手段4の出力信号VCXの変化を示すグラフG4が示されている。

【0058】更には、本発明に係る制御電圧波形制御手段10を用いた出力回路に於ける該制御電圧信号VCN1の変化を示すグラフG5と出力手段4の出力信号VCXの変化を示すグラフG6が示されている。又、図21

(B)に於いては、従来例Aに於ける、入力手段2に入力された入力信号INが、“H”レベルから“L”レベルに変化する時の、該制御電圧信号VCN1の変化の様子を示すグラフg1と出力手段4の出力信号VCXの変化を示すグラフg2が示されていると共に、従来例Bに於ける、該制御電圧信号VCN1の変化を示すグラフg3と出力手段4の出力信号VCXの変化を示すグラフg4が示されている。

【0059】更には、本発明に係る制御電圧波形制御手段10を用いた出力回路に於ける該制御電圧信号VCN

1の変化を示すグラフg 5と出力手段4の出力信号V C Xの変化を示すグラフg 6が示されている。上記の実験結果により得られた図2 1 (A) 及び (B) の波形図から、前記で定義した特性パラメータを算出した結果を表1に示す。

【0060】

【表1】

	従来例A	従来例B	本発明
Tsup	1.55n(sec)	5.90n	2.17n
Tup	0.87n(sec)	1.66n	1.25n
△Vup	3340E6(V/sec)	709E6	823E6
Tsdown	1.42	5.05	2.19
Tdown	1.44n	3.04n	1.64n
△Vdown	-2080E6	-595E6	-494E6
fmax	322MHz	84MHz	228MHz

【0061】即ち、上記の表から判る様に、反射、ノイズ等を吸収する為ゲート入力波形を従来様に単純に鈍らせる場合（従来例B）では、立ち上がり／立ち下がり時間（Tsup / Tsdown）が大きくなり、最大動作周波数が低くなる。又、出力伝播遅延時間（Tup / Tdown）も大きくなる。一方、従来例Aの様に、ゲート入力波形の立ち上がり／立ち下がり時間（Tsup / Tsdown）が小さくすると、最大動作周波数は高くなるが、グラフから判る様に、ノイズが大きくなるという欠点がある。

【0062】本発明に係る出力回路に於いては、しきい値電圧付近のゲート信号変化率は、従来例Bに近くなっているが、立ち上がり／立ち下がり時間（Tsup / Tsdown）は小さくなっており、より高い周波数で動作が可能となっている。更に、出力遅延時間もより小さくなっている事が判る。

【0063】

【発明の効果】本発明に係る半導体回路に使用される出力回路は、上記した様な構成を有するものであるので、入力信号が変化した場合に於ける動作速度を大きく低下させることなく、実質的に、当該出力波形の立ち上がり若しくは立ち下がり要する時間を長く設定出来る様にしたものである。出力変化時のリングング、ノイズ、あるいは、反射等による出力信号波形の変化、劣化を有効に防止する事が出来る。

【図面の簡単な説明】

【図1】図1は、本発明に係る出力回路の一具体例の構成を示すブロックダイアグラムである。

【図2】図2 (A) 及び図2 (B) は、本発明に於ける出力回路に於ける制御電圧波形の変化を説明する図であり、図2 (A) は、入力信号が“L”レベルから“H”レベルに変化した場合の制御電圧波形であり、又図2

(B) は、その逆の例を示す制御電圧波形である。

【図3】図3は、本発明に係る出力回路に使用される制御電圧波形制御手段の一具体例の構成を示すブロックダイアグラムである。

【図4】図4は、従来に於ける出力回路の構成例を示すブロックダイアグラムである。

【図5】図5 (A) 及び図5 (B) は、従来の出力回路に於ける制御電圧波形の変化を説明する図であり、図5 (A) は、入力信号が“L”レベルから“H”レベルに変化した場合の制御電圧波形であり、又図5 (B) は、その逆の例を示す制御電圧波形である。

【図6】図6は、本発明に於いて、出力回路の特性を検証する為のシミュレーション装置の構成例を示すブロックダイアグラムである。

【図7】図7 (A) ～図7 (C) は、従来に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図8】図8 (A) ～図8 (C) は、従来に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図9】図9 (A) ～図9 (C) は、従来に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図10】図10 (A) ～図10 (C) は、従来に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図11】図11 (A) ～図11 (C) は、従来に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図12】図12 (A) ～図12 (C) は、従来に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図13】図13 (A) ～図13 (C) は、本発明に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図14】図14 (A) ～図14 (C) は、本発明に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図15】図15 (A) ～図15 (C) は、本発明に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図16】図16 (A) ～図16 (C) は、本発明に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図17】図17 (A) ～図17 (C) は、本発明に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図18】図18 (A) ～図18 (C) は、本発明に於ける出力回路の出力波形をシミュレーションにより得られた電圧波形を示すグラフである。

【図19】図19は、比較実験に使用した従来の出力回路の構成例を示すブロックダイアグラムである。

【図20】図20は、比較実験に使用した本発明に係る出力回路の構成例を示すブロックダイアグラムである。

【図21】図21は、比較実験の結果得られた当該各出力回路の出力波形を示すグラフであり、図21(A)は、入力信号が、“L”レベルから“H”レベルに変化した場合の出力波形グラフであり、図21(B)は、入力信号が、“H”レベルから“L”レベルに変化した場合の出力波形グラフである。

【符号の説明】

1…半導体回路

2…入力手段

3…駆動手段

4…出力手段

5…バッファ

10…制御電圧波形制御手段

14…第1の制御回路

15…第2の制御回路

16…中間電位発生回路

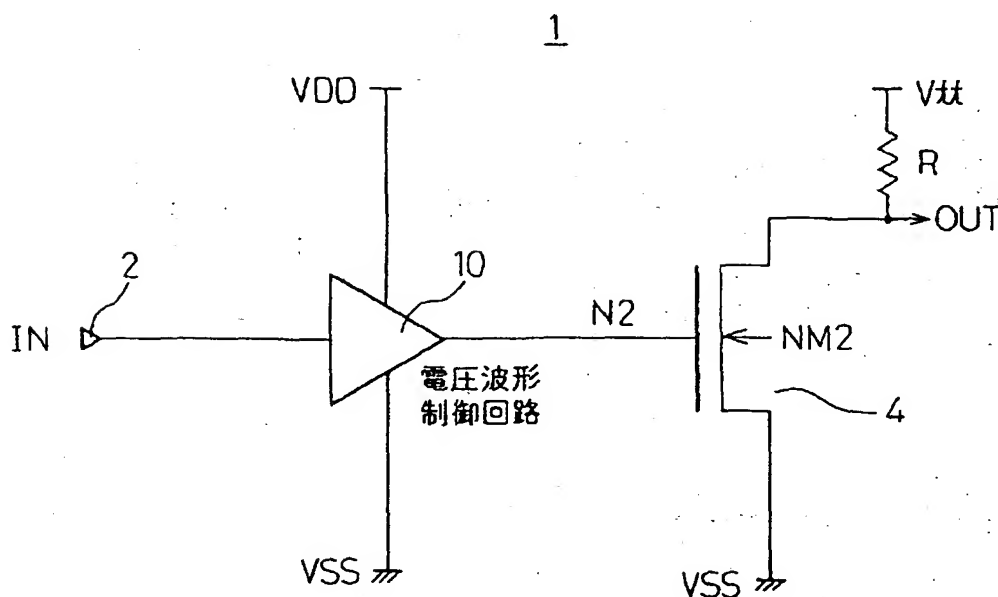
61…送信側の出力回路チップ

62…受信側のチップ

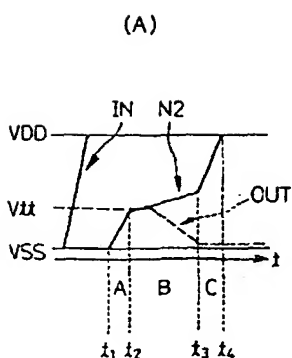
63、65…パッケージ

64…同軸ケーブル

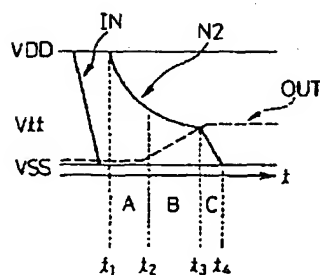
【図1】



【図2】

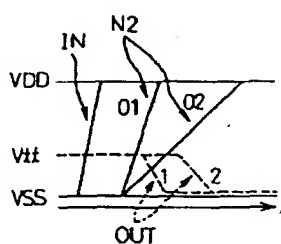


(B)

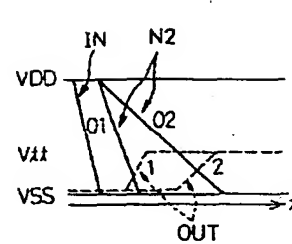


【図5】

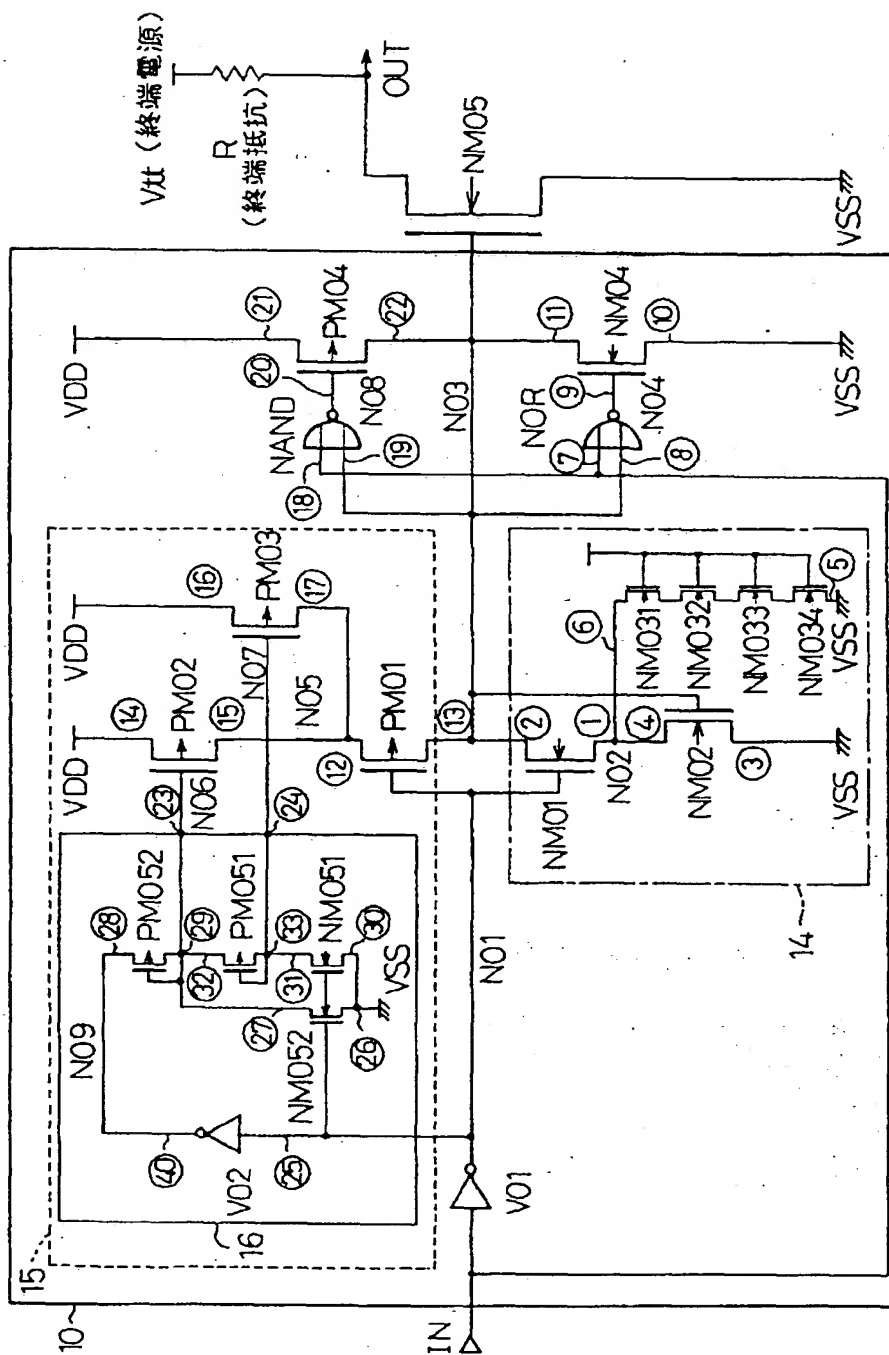
(A)



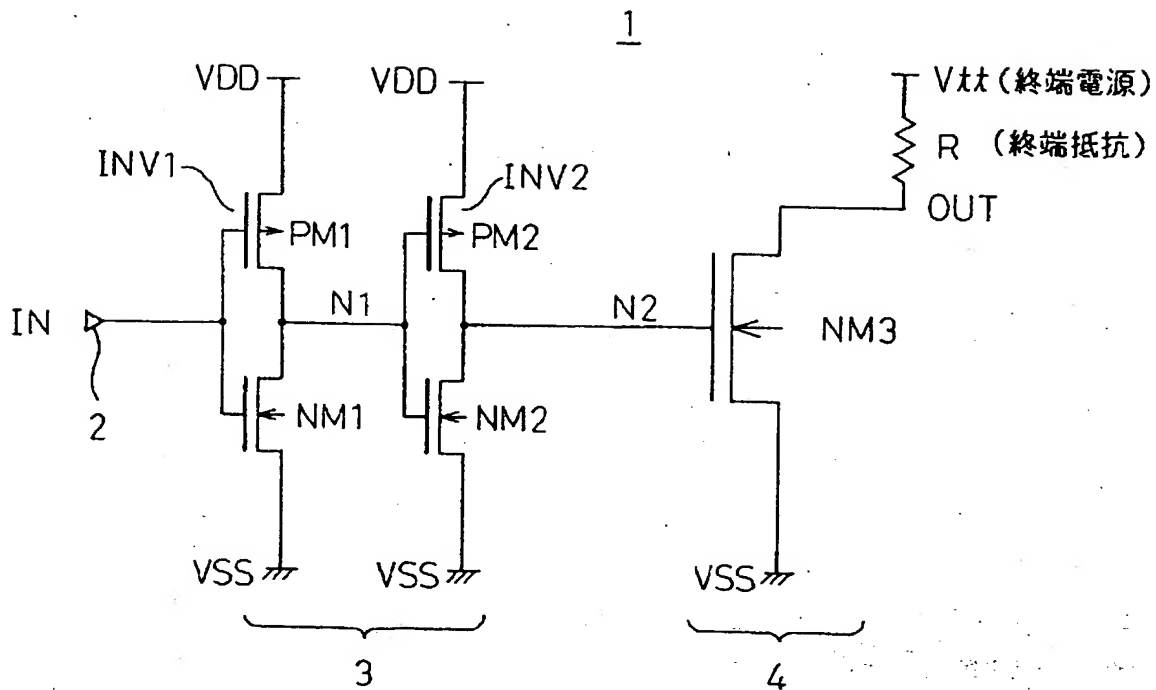
(B)



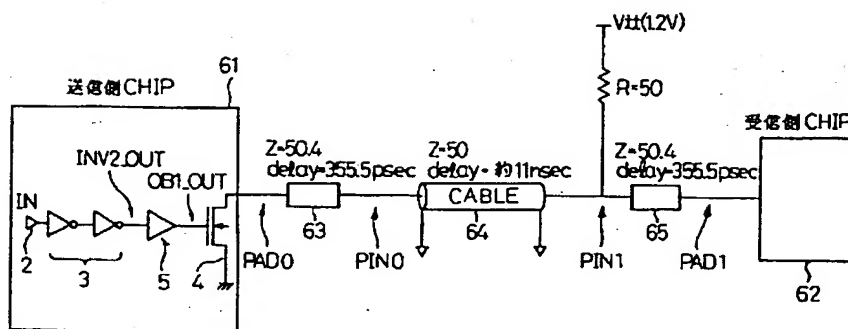
【図3】



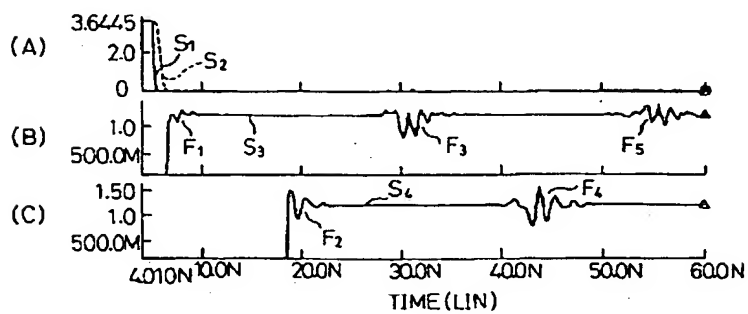
【図4】



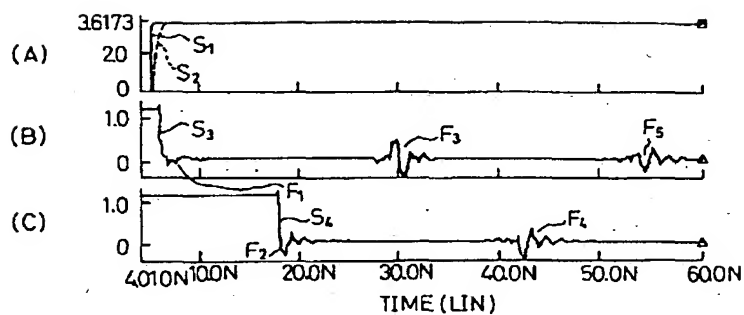
【図6】



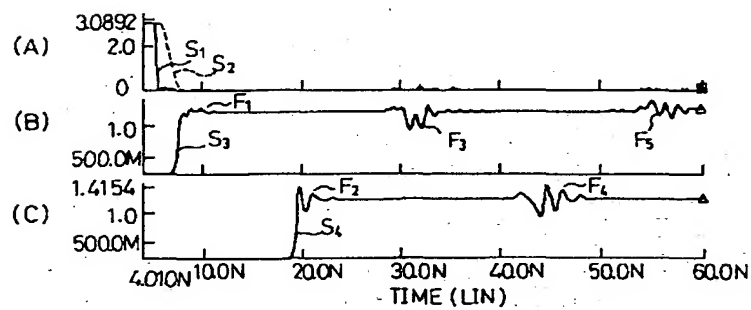
【図7】



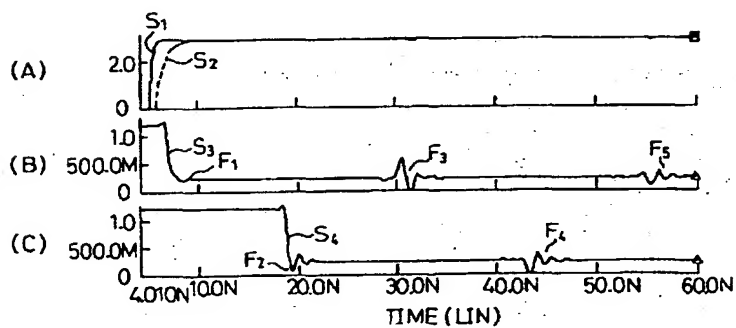
【図 8】



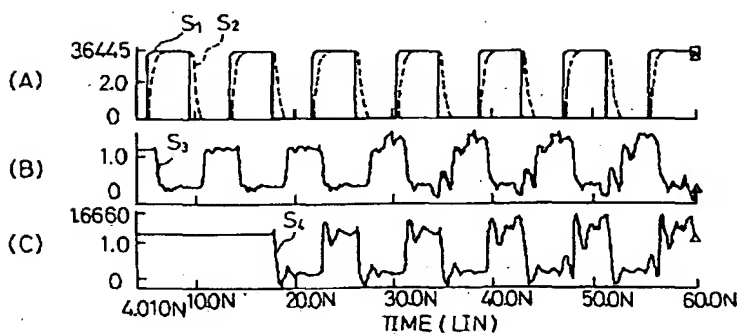
【図 9】



【図 10】

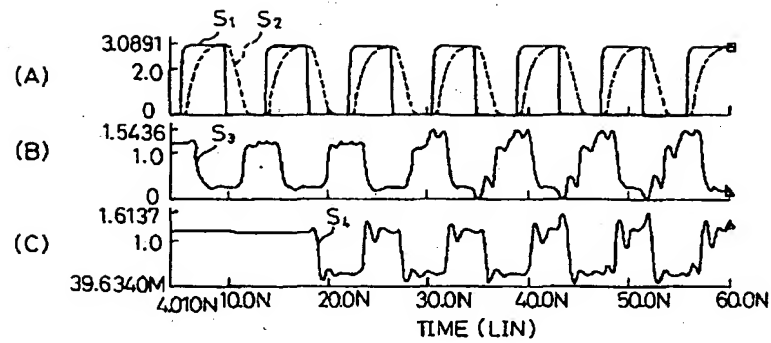


【図 11】

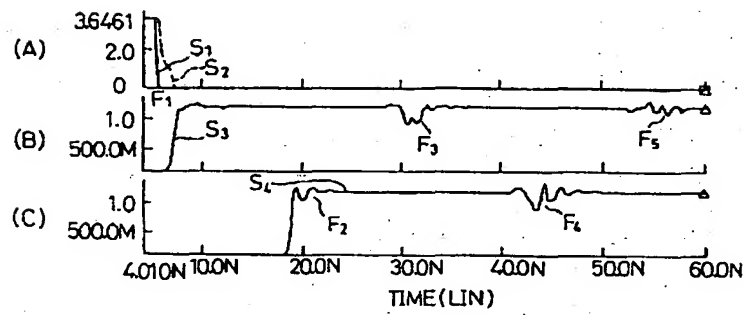




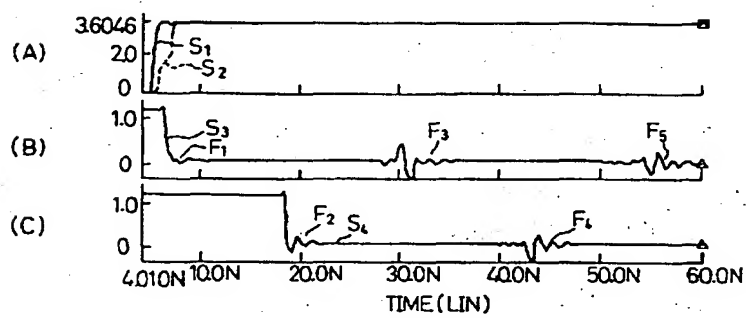
【図12】



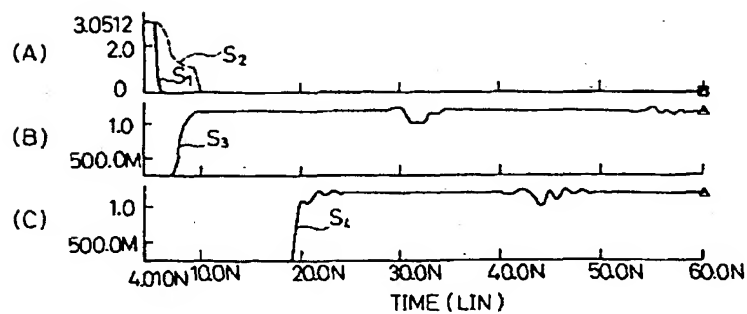
【図13】



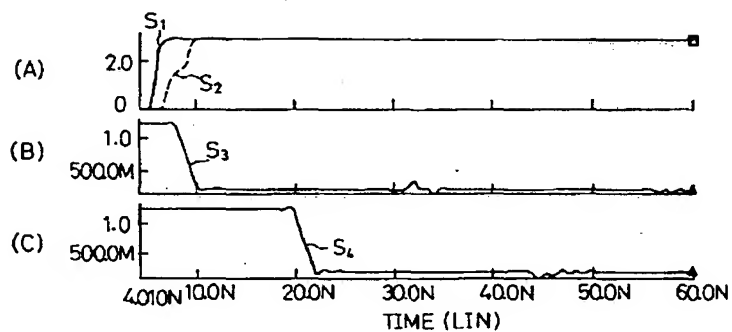
【図14】



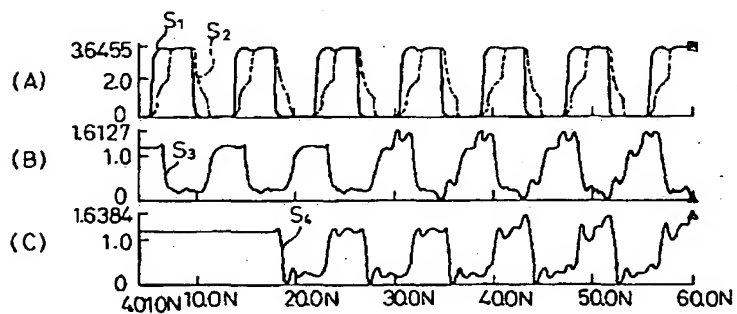
【図15】



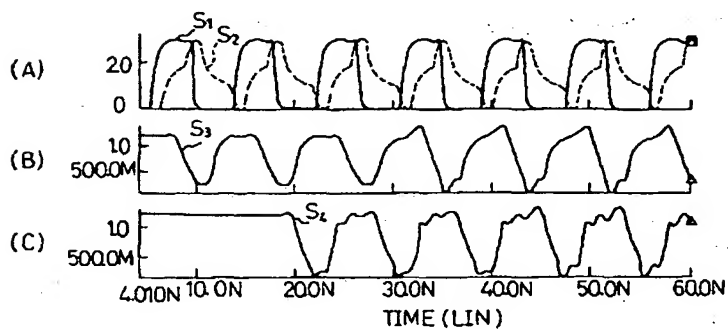
【図16】



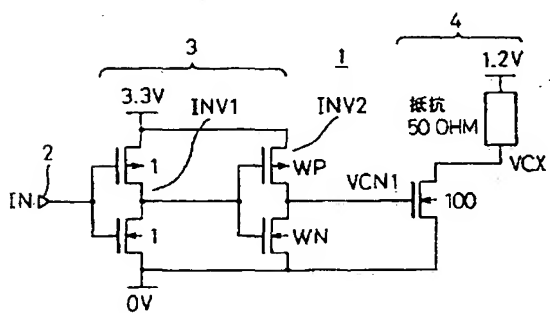
【図17】



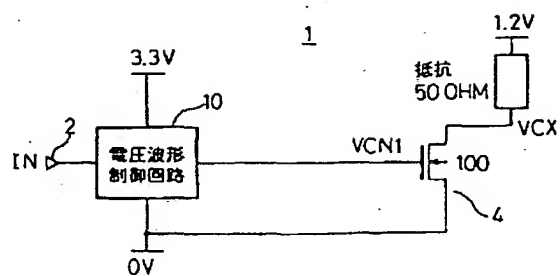
【図18】



【図19】



【図20】



【図 21】

